



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년09월21일

(11) 등록번호 10-2445057

(24) 등록일자 2022년09월15일

(51) 국제특허분류(Int. Cl.)
G06F 21/78 (2013.01) G06F 21/62 (2013.01)(52) CPC특허분류
G06F 21/78 (2013.01)
G06F 21/6245 (2013.01)

(21) 출원번호 10-2020-0170824

(22) 출원일자 2020년12월08일

심사청구일자 2020년12월08일

(65) 공개번호 10-2021-0072730

(43) 공개일자 2021년06월17일

(30) 우선권주장
1020190162829 2019년12월09일 대한민국(KR)(56) 선행기술조사문헌
KR1020190045121 A*
US20110153919 A1*
JP5659178 B2*
US20100226178 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

이동훈

서울특별시 종로구 사직로8길 34, 1404호(내수동, 경희궁의아침3단지아파트)

안나영

서울특별시 동대문구 약령시로3길 18-3, 302호(제기동, 덕산맨션)

(74) 대리인

김홍석

전체 청구항 수 : 총 19 항

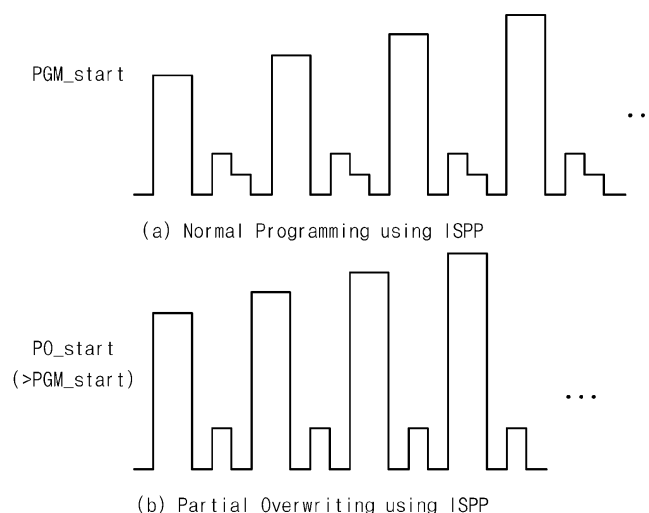
심사관 : 구대성

(54) 발명의 명칭 낸드 플래시 메모리에서 개인 정보 폐기 방법

(57) 요약

개인 정보 폐기 방법은 부분 덮어 쓰기, SLC 프로그램 작업, 및 삭제 작업 펄스 적용 중 적어도 하나를 포함한다. 개인 정보 폐기 방법은, 개인 정보를 포함하는 삭제할 메모리 블록의 데이터의 프로그램 상태를 획득하고, 상기 개인 정보에 해당하는 프로그램 상태와 같거나 높은 상태의 데이터가 생성되고, 상기 생성된 데이터를 이용하여 상기 개인 정보에 대하여 부분 덮어쓰기 동작을 수행하는 단계를 포함한다.

대표도 - 도7



(52) CPC특허분류
G06F 2221/2143 (2013.01)

명세서

청구범위

청구항 1

각각이 하나의 비트 라인과 공통 소스 라인 사이에 연결되고 적어도 하나의 스트링 선택 트랜지스터, 워드 라인들 각각에 대응하는 복수의 메모리 셀들, 및 적어도 하나의 접지 선택 트랜지스터를 포함하는 복수의 셀 스트링들을 포함하는 복수의 메모리 블록들을 포함하는 비휘발성 메모리 장치의 개인 정보 파괴 방법에 있어서,

개인 정보 파괴 요청에 응답하여 상기 복수의 메모리 블록들 중에서 개인 정보가 저장되어 있는 무효 페이지를 포함하는 적어도 하나의 메모리 블록을 식별하는 단계; 및

상기 무효 페이지에 대응하는 워드 라인으로 적어도 하나의 삭제 의무 펄스(Deletion Duty Pulse, DDP)를 인가하여 상기 개인 정보를 삭제하는 단계를 포함하고,

상기 적어도 하나의 삭제 의무 펄스의 개수는 ECC(Error Correction Code)의 오류 정정 수준을 초과하도록 결정되는,

개인 정보 파괴 방법.

청구항 2

제1항에 있어서,

상기 개인 정보 파괴 요청은 외부의 장치로부터 수신되는,

개인 정보 파괴 방법.

청구항 3

제1항에 있어서,

상기 복수의 메모리 셀들 각각은 멀티 레벨 셀이고,

상기 적어도 하나의 삭제 의무 펄스의 개수는 프로그램 동작에서 발생하는 프로그램 펄스의 개수 보다 작은,

개인 정보 파괴 방법.

청구항 4

제1항에 있어서,

상기 적어도 하나의 삭제 의무 펄스의 레벨은 프로그램 패스 전압(V_{pass})의 레벨보다 큰,

개인 정보 파괴 방법.

청구항 5

제1항에 있어서,

상기 비휘발성 메모리 장치는 낸드 플래시 메모리 장치이고,

상기 개인 정보 파괴 요청은 상기 낸드 플래시 메모리 장치 내부적으로 발생되는,

개인 정보 파괴 방법.

청구항 6

제1항에 있어서,

상기 개인 정보의 파괴 완료에 대한 검증 동작을 수행하는 단계를 더 포함하는,

개인 정보 파기 방법.

청구항 7

제6항에 있어서,

상기 검증 동작을 수행하는 단계는,

상기 개인 정보 또는 상기 개인 정보가 변조된 데이터가 상기 복수의 메모리 블록들 중에서 맵핑된 메모리 블록의 상기 무효 페이지에 존재하는지 여부를 판단하는 단계를 포함하는,

개인 정보 파기 방법.

청구항 8

제6항에 있어서,

상기 검증 동작을 수행하는 단계는,

상기 개인 정보 또는 상기 개인 정보가 변조된 데이터가 상기 복수의 메모리 블록들 중에서 맵핑된 유효 페이지들에 존재하는지 여부를 판단하는 단계를 포함하는,

개인 정보 파기 방법.

청구항 9

제6항에 있어서,

상기 검증 동작을 수행하는 단계는,

상기 개인 정보 또는 상기 개인 정보가 변조된 데이터가 상기 복수의 메모리 블록들 중에서 맵핑되지 않은 메모리 블록의 상기 무효 페이지에 존재하는지 여부를 판단하는 단계를 포함하는,

개인 정보 파기 방법.

청구항 10

제6항에 있어서,

상기 검증 동작을 수행하는 단계는,

상기 개인 정보 또는 상기 개인 정보가 변조된 데이터가 상기 복수의 메모리 블록들 중에서 맵핑되지 않은 유효 페이지들에 존재하는지 여부를 판단하는 단계를 포함하는,

개인 정보 파기 방법.

청구항 11

각각이 하나의 비트 라인과 공통 소스 라인 사이에 연결되고 적어도 하나의 스트링 선택 트랜지스터, 워드 라인들 각각에 대응하는 복수의 메모리 셀들, 및 적어도 하나의 접지 선택 트랜지스터를 포함하는 복수의 셀 스트링들을 포함하는 복수의 메모리 블록들을 포함하는 메모리 셀 어레이, 어드레스에 응답하여 상기 복수의 메모리 블록들 중에서 어느 하나를 선택하고, 상기 워드 라인들 중에서 어느 하나를 선택하는 로우 디코더, 비트 라인들에 연결되고 상기 워드 라인들 각각에 연결된 메모리 셀에 연결된 복수의 페이지 버퍼들을 포함하는 페이지 버퍼 회로, 상기 워드 라인들에 인가되는 워드 라인 전압들을 발생하는 전압 발생기, 및 상기 로우 디코더, 상기 페이지 버퍼 회로, 및 상기 전압 발생기를 제어하는 제어 로직을 포함하는 적어도 하나의 비휘발성 메모리 장치; 및

상기 적어도 하나의 비휘발성 메모리 장치를 제어하고, 외부의 호스트 장치로부터 개인 정보 파기 요청을 수신하고, 상기 개인 정보 파기 요청에 응답하여 개인 정보 파기 커맨드를 생성하는 제어기를 포함하고,

상기 제어기는 복수의 메모리 블록들 중에서 개인 정보가 저장되어 있는 무효 페이지를 포함하는 적어도 하나의 메모리 블록을 식별하고,

상기 제어 로직은, 상기 개인 정보 파기 커맨드에 응답하여,

상기 무효 페이지에 대응하는 워드 라인으로 적어도 하나의 삭제 의무 펄스를 인가하여 상기 개인 정보를 삭제 하고,

상기 적어도 하나의 삭제 의무 펄스의 개수는 ECC(Error Correction Code)의 오류 정정 수준을 초과하도록 결정 되는,

저장 장치.

청구항 12

제11항에 있어서,

상기 복수의 메모리 셀들 각각은 멀티 레벨 셀이고,

상기 적어도 하나의 삭제 의무 펄스의 개수는 프로그램 동작에서 발생하는 프로그램 펄스의 개수 보다 작은,

저장 장치.

청구항 13

제11항에 있어서,

상기 적어도 하나의 삭제 의무 펄스의 레벨은 프로그램 패스 전압(V_{pass})의 레벨보다 큰,

저장 장치.

청구항 14

제11항에 있어서,

상기 적어도 하나의 비휘발성 메모리 장치는 맵핑된 메모리 블록 및 맵핑되지 않은 메모리 블록에서 상기 개인 정보의 파기 완료에 대한 검증 동작을 수행하는,

저장 장치.

청구항 15

적어도 하나의 비휘발성 메모리 장치 및 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 제어기를 포함하는 저장 장치에 의해 수행되는 개인 정보 파기 방법에 있어서,

상기 제어기가 호스트 장치로부터 개인 정보 파기 요청을 수신하는 단계;

상기 제어기가 상기 개인 정보가 포함되어 있는 삭제 대상 페이지를 식별하는 단계; 및

상기 적어도 하나의 비휘발성 메모리 장치가 상기 대상 페이지에 대응하는 워드 라인에 적어도 하나의 삭제 의무 펄스를 인가하는 단계를 포함하고,

상기 적어도 하나의 삭제 의무 펄스의 개수는 ECC의 오류 정정 수준을 초과하도록 결정되는,

개인 정보 파기 방법.

청구항 16

제15항에 있어서,

상기 제어기가 맵핑된 메모리 블록 또는 맵핑되지 않은 메모리 블록에서 상기 개인 정보의 존재 여부를 판단하는 단계를 더 포함하는,

개인 정보 파기 방법.

청구항 17

제15항에 있어서,

상기 적어도 하나의 삭제 의무 펄스의 레벨은 프로그램 패스 전압의 레벨보다 높고, 프로그램 전압의 레벨보다 낮은,

개인 정보 파괴 방법.

청구항 18

제15항에 있어서,

상기 개인 정보의 파괴 완료 이후에, 상기 제어기가 개인 정보 파괴 성공 메시지를 상기 호스트로 전송하는 단계를 더 포함하는,

개인 정보 파괴 방법.

청구항 19

제15항에 있어서,

상기 제어기는 무효화 페이지의 물리 주소에 개인 정보를 파괴하는 동작을 수행하는 삭제 의무 실행부를 포함하는,

개인 정보 파괴 방법.

발명의 설명

기술 분야

[0001] 본 발명은 낸드 플래시 메모리에서 개인 정보 폐기 방법에 관한 것이다.

배경 기술

[0002] 비휘발성 메모리는 덮어 쓸 수 있는 메모리와 그렇지 않은 메모리로 나뉜다. NAND 플래시 메모리는 덮어 쓸 수 없는 메모리이다. NAND 플래시 메모리는 기본적으로 적용된 전압에 따라 트랩 전하를 이동하여 임계 전압을 조정한다. 조정된 임계 전압에 해당하는 데이터가 결정된다. 또한 관리 측면에서 NAND 플래시 메모리는 쓰기 단위와 삭제 단위가 다르기 때문에 삭제와 관련된 잔여 데이터에 대한 문제가 있다. 일반적으로 유효 데이터는 쓰레기 수집(garbage collection)을 통해 하나의 블록으로 수집되며, 내부적으로 특정 기준에 도달하면 나머지 유효 데이터는 블록 단위로 지워진다. 그러나 NAND 플래시 메모리의 특성상 NAND 플래시 메모리는 사용자가 데이터를 삭제하더라도 디지털 포렌식을 통해 의미 있는 정보를 쉽게 얻을 수 있다. 디지털 포렌식은 쉽기 때문에 누구나 디지털 포렌식을 통해 사용자와 관련된 정보를 불법적으로 얻을 수 있다. 이 정보가 개인 정보라면 문제는 분명하다.

[0003] 기존 NAND 플래시 메모리는 덮어 쓸 수 없다. 따라서 사용자가 NAND 플래시 메모리에 저장된 개인 정보를 삭제하더라도 원래 데이터 유형이 여전히 남아있을 가능성은 상당하다. 최근 데이터 센터는 NAND 플래시 메모리를 사용하는 SSD를 사용하고 있으며, 이는 데이터 센터의 SSD에 개인 정보 보호 데이터가 보호되지 않을 가능성이 높다. 당연히 개인 정보 삭제 의무는 NAND 플래시 메모리에도 적용된다.

[0004] 삭제 작업이 아닌 덮어 쓰기 가능한 프로그램 작업을 사용하여 개인 정보를 파괴하는 방법을 도입했다. 기존에 원샷 프로그래밍으로 MLC(Multi Level Cell) 데이터를 삭제하는 간단한 방법을 제시했다. 그러나 원샷 프로그래밍 방식은 NAND 플래시 메모리의 저장 용량을 변경하는 문제가 있다. MLC 페이지 수에서 SLC(Single Level Cell) 페이지로 변경되기 때문에 한 메모리 블록의 페이지 수가 갑자기 감소한다. 이것은 저장 용량의 크기를 변경하는 것을 의미한다. 따라서 이 접근 방식은 관리 관점에서 사용되기 어렵다.

[0005] 따라서, 셀 특성에 영향을 주지 않고, 빠르게 개인 정보를 폐기하는 기술이 요구되고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 공개특허 제2010-0068454호 (2010.06.23. 공개)

발명의 내용

해결하려는 과제

[0007] 본원 발명이 해결하고자 하는 과제는 셀 특성에 영향을 주지 않고 빠르게 개인 정보를 폐기하는 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 개인 정보 폐기 방법은, 개인 정보를 포함하는 삭제할 메모리 블록의 데이터의 프로그램 상태를 획득하는 단계, 상기 개인 정보에 해당하는 프로그램 상태와 같거나 높은 상태의 데이터가 생성되는 단계, 및 상기 생성된 데이터를 이용하여 상기 개인 정보에 대하여 부분 덮어쓰기 동작을 수행하는 단계를 포함한다.

[0009] 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 개인 정보 폐기 방법은, 개인 정보를 포함하는 삭제할 메모리 블록 내 포함된 유효하지 않은 페이지에 대하여, on-the-fly 무효 페이지 프로그램 작업을 수행하는 단계를 포함하되, 상기 on-the-fly 무효 페이지 프로그램 작업은 임의의 임계 전압을 기반으로 단일 레벨 셀(Single Level Cell: SLC) 프로그램 동작을 수행한다.

[0010] 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 개인 정보 폐기 방법은, 개인 정보를 포함하는 삭제할 메모리 블록 내 포함된 유효하지 않은 페이지에 해당하는 워드 라인에 삭제 작업 펄스(Deletion Duty Pulse)를 인가하는 단계를 포함하되, 상기 삭제 작업 펄스는 통과 전압(Vpass)보다 크며, 상기 삭제 작업 펄스의 수는 ECC(Error Correction Code) 기술의 오류 수정 수준을 초과하도록 결정된다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면, 기존 NAND 플래시 메모리에 즉시 적용할 수 있으며, 셀 특성에 영향을 주지 않고 간단하고 빠른 개인 정보 폐기가 가능하다.

[0012] 또한, 기존 삭제 작업에 비해 메모리 성능 저하를 크게 줄이고 시간과 비용 측면에서 상당한 효과를 기대한다.

도면의 간단한 설명

[0013] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 NAND 플래시 메모리의 개인 정보를 파괴하는 지침을 설명하는 순서도이다.

도 2는 프리 블록을 형성하기 위한 쓰레기 수집을 나타내는 블록도이다.

도 3은 관리할 수 없는 개인 정보를 보여주는 블록도이다.

도 4는 NAND 플래시 메모리의 데이터 변조를 보여주는 블록도이다.

도 5는 3-레벨 셀 프로그램에서 상태 매핑을 보여주는 블록도이다.

도 6은 덮어쓰기 가능한 데이터를 보여주는 일 예에 따른 블록도이다.

도 7은 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 설명하기 위한 모식도이다.

도 8은 on-the fly 무효 페이지 프로그램을 보여주는 모식도이다.

도 9는 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 설명하기 위한 모식도이다.

도 10은 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 설명하기 위한 모식도이다.

도 11은 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 수행하는 장치를 설명하기 위한 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.
- [0015] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0016] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다.
- [0017] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0018] 본 명세서에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0019] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0020] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0022] 본 발명에 따른 개인 정보 폐기 방법을 설명하기 이전에, 일반적인 개인 정보 폐기 방법에 대한 지침 및 기존의 개인 정보 폐기 방법에 대하여 설명하기로 한다.
- [0023] 일반적으로, 개인 정보 수명주기는 수집, 저장, 저장, 사용/제공, 파기로 구성된다. 개인 정보 폐기는 개인 정보 수명주기의 마지막 단계이다. 미디어 삭제는 크게 Clear/Purge/Destroy로 나눌 수 있다.
- [0024] 'Clear'는 소프트웨어나 하드웨어를 사용하여 중요하지 않은 데이터를 덮어 쓰는 기술이다. 이렇게 하면 일반 읽기 또는 쓰기 명령을 사용하여 저장 장치의 새 값을 덮어 쓴다. NAND 플래시 메모리와 같이 덮어 쓰기가 제공되지 않는 장치의 경우 clear는 공장 상태로 설정되었음을 의미한다. 'Purge'는 실험 계획을 사용하여 대상 데이터를 복구할 수 없도록 만드는 물리적 또는 논리적 기술이다. 'destroy'는 실험실 기술을 사용하여 대상 데이터를 복구 불가능하게 만드는 동시에 데이터 저장 매체 역할을 하지 않는 것을 의미한다.
- [0025] 일반적으로 NAND 플래시 메모리의 개인 정보를 파기하는 지침이 있다. 도 1은 NAND 플래시 메모리의 개인 정보를 파기하는 지침을 설명하는 순서도이다.
- [0026] 도 1에 도시된 바와 같이, NIST(National Institute of Standards and Technology) 표준에 따라 Clear / Purge에 따른 플래시 메모리에 대한 설명이 있다. NIST 표준의 Clear 설명에서 언급했듯이 플래시 메모리 기반 저장 장치는 예비 셀을 포함하고 웨어 레벨링(wear leveling)을 수행하더라도 오래된 데이터를 완전히 삭제하지 못할 수 있다. 이는 저장 장치가 중요한 데이터가 저장되는 모든 영역의 직접 주소 지정을 지정하지 않기 때문이다.

여기서 명확한 작업은 소프트웨어/하드웨어 제품을 사용하여 기존 읽기/쓰기 명령에 따라 민감하지 않은 데이터로 주소 지정 가능 공간을 덮어 쓰는 것이다.

[0027] NIST 표준은 또한 'Purge'라고 하는 개인 정보 데이터의 폐기를 언급한다. 여기에서 제거 작업에는 덮어 쓰기, 블록 삭제 및 암호화 삭제가 포함된다. 그러나 NAND 플래시 메모리는 일반적으로 덮어 쓰기를 지원하지 않고 주소를 지정할 수 없는 공간에 개인 정보를 저장할 가능성이 높기 때문에 NIST 표준이 개인 정보 폐기를 적절하게 수행했다는 사실을 받아 들이기 어렵다. 주소가 매핑되지 않은 개인 정보는 여전히 NAND 플래시 메모리에 남아 있다.

[0028] 일반 플래시 메모리의 경우 불량 블록 등으로 인해 사용자 블록 영역의 여유 블록이 부족하면 여유 블록 영역의 여유 블록을 사용자 블록 영역으로 할당한다. 이때 할당되는 크기는 블록 단위(또는 두 개 이상의 블록)이므로 필요한 저장 공간보다 더 큰 공간이 할당된다. 또한, 여유 블록 영역의 여유 블록은 비교적 짧은 시간에 쪼아지고, 플래시 변환 계층은 여유 블록을 확보하기 위해 쓰레기 수집(garbage collection)과 같은 백그라운드 동작을 수행한다.

[0029] 도 2는 프리 블록을 형성하기 위한 쓰레기 수집을 나타내는 블록도이다. 도 2를 참조하면, 쓰레기 수집은, 메모리 어레이에서 특정 블록을 선택하고, 특정 블록의 유효한 페이지를 프리 블록에 복사한 후 블록을 지워서 프리 블록으로 만드는 과정이다.

[0030] 삭제된 블록은 나중에 데이터를 기록하는데 사용할 수 있다. 그러나 내부 정책 상 이러한 블록에 대한 삭제 동작이 빠르게 진행되지 않는 문제가 있다. 이 경우 유효한 페이지에 개인 정보가 포함되어 있으면 유효하지 않은 페이지에 동일한 개인 정보가 포함될 수 있다. 개인 정보는 자유 블록의 유효한 페이지와 삭제할 블록의 유효하지 않은 페이지 모두에 포함된다. 결과적으로 개인 정보는 적어도 두 개의 블록에 포함될 가능성이 있으며, 그 중 하나만 매핑되고 다른 블록은 매핑되지 않은 상태로 유지된다.

[0031] 도 3은 관리할 수 없는 개인 정보를 보여주는 블록도이다. 도 3에 도시된 바와 같이, 기존 쓰레기 수집을 수행하면 관리할 수 없는 개인 정보가 적어도 두 블록에 존재한다. 매핑되지 않은 제1 블록(BLK1) 및 제2 블록(BLK2)은 소거 동작이 수행될 때까지 개인 정보를 보유한다.

[0032] 우려는 삭제될 블록의 유효하지 않은 페이지에 포함된 개인 정보 데이터를 어떻게 파괴하는가 이다. 개인 정보를 폐기하는 가장 간단한 방법 중 하나는 개인 정보가 포함된 유효하지 않은 페이지가 포함된 블록을 즉시 삭제하는 것이다. 그러나, 삭제 동작은 블록 단위로 수행되기 때문에 정책적으로 저장 장치를 관리하기 어렵다. 일반적으로 하나의 블록은 1,024 페이지로 구성된다. 1,024 페이지 중 개인 정보를 저장하는 유효하지 않은 페이지로 인해 한 블록에 대해 지우기 작업을 수행하면 관리 비용이 많이 든다.

[0033] 기존 NAND 플래시 기술은 덮어 쓰기를 지원하지 않는다. 신뢰할 수 있는 데이터 무효화 방법은 BLK1 및 BLK2에 대해 지우기 작업을 수행하는 것이다. 그러나, 공지된 바와 같이, 소거 동작은 웨어 레벨링 측면에서 메모리 블록에 대한 소거주기의 수가 제한되기 때문에 가능한 한 피해야 할 관리 동작 중 하나이다. 또한, 소거 작업은 많은 양의 전력을 소비하고 소거 시간도 상당하다. 공급 업체의 관점에서는 이러한 지우기 작업이 가능한 한 빨리 발생하지 않도록 하는데 중점을 둔다.

[0034] 이러한 공급 업체에 대해 걱정하고 플래시 메모리에서 완전한 개인 정보 데이터를 제거하려는 사용자의 요구를 충족하기 시작했다. 기존의 기술을 요약하면, 기존의 NAND 플래시 메모리 쓰기 방법은 덮어 쓰기를 지원하지 않지만 개인 정보 폐기의 관점에서 접근하기 때문에 유효하지 않은 페이지를 임의의 데이터로 덮어 쓰기 위한 것이다. 물론 여기에 있는 모든 데이터는 현재 저장된 유효하지 않은 페이지에 쓸 수 있는 데이터이어야 한다. 일반적으로 한 페이지 쓰기(프로그램) 작업과 한 블록에 대한 지우기 작업에 필요한 시간이 1,000회 이상 걸리기 때문에 이 방법은 개인 정보 파괴 방법으로 매우 효과적이다.

[0035] 이하, 본 발명의 일 실시예에 따른 개인 정보 폐기 방법에 대하여 설명하기로 한다. 상기 개인 정보 폐기 방법은 낸드 플래시 메모리 장치의 동작 방법으로 명명될 수도 있다. 또한, 상기 개인 정보 폐기 방법은 낸드 플래시 메모리 장치의 컨트롤러에 의한 동작을 의미할 수 있다.

[0036] 데이터 변조(Data Modulation)

[0037] 일반적으로 데이터는 NAND 플래시 메모리에 원본 데이터 형태로 저장되지 않는다. 프로그래밍할 데이터 간의 간섭으로 인한 데이터 수정 가능성을 최소화하기 위해 원본 데이터는 미리 정해진 규칙에 따라 랜덤화되고 랜덤화된 데이터는 물리적 영역에 저장된다.

- [0038] 도 4는 NAND 플래시 메모리의 데이터 변조를 보여주는 블록도이다. 도 4에 도시된 바와 같이, 데이터를 변조하기 위한 인코더와 물리적 영역에서 읽혀진 데이터를 복조하기 위한 디코더가 필수적으로 포함된다.
- [0039] 프로그램 동작은 오류 널 데이터(error null data)를 변조한 후 변조된 데이터를 메모리 셀에 프로그래밍한다. 읽기 동작은 메모리 셀에서 읽은 데이터를 복조한 후 원본 데이터를 출력할 수 있다. 원본 데이터, 즉 개인 정보에 해당하는 이진 비트는 메모리 셀에 엄격하게 저장되지 않는다. 그러나 변조된 데이터는 메모리 셀에 저장되고 저장된 변조 데이터와 원본 데이터는 소정의 방법으로 상호 교환이 가능하기 때문에 변조된 데이터도 개인 정보로 간주된다.
- [0040] 상태 매핑(State Mapping)
- [0041] 데이터 변조 데이터는 메모리 셀의 문턱 전압(Vt)에 대응하는 프로그램 상태에 따라 매핑된다.
- [0042] 도 5는 3-레벨 셀 프로그램에서 상태 매핑을 보여주는 블록도이다.
- [0043] 도 5에 도시된 바와 같이 예를 들어, 3-레벨 셀의 경우 E 상태는 '111', P1 상태는 '011', P2 상태는 '001', P3 상태는 '000', P4 상태는 '010', P5 상태는 '110', P6 상태는 '100', 그리고, P7 상태는 '101'로 각각 매핑된다. 즉, 메모리 셀의 문턱 전압에 해당하는 MSB(Most Significant Bit), CSB(Center Significant Bit), 및 LSB (Least Significant Bit)을 가지고 프로그램 상태가 결정된다.
- [0044] NAND 플래시 메모리에서 쓰기 동작을 수행하는 것은 각 메모리 셀이 8 개의 임계 전압 중 하나를 갖도록 하는 것을 의미한다. NAND 플래시 메모리는 기본적으로 복수의 메모리 블록을 포함하고, 복수의 메모리 블록 각각은 복수의 페이지를 포함하고, 복수의 페이지 각각은 복수의 메모리 셀을 포함한다. 일반적으로 NAND 플래시 메모리는 페이지 단위로 쓰기 또는 읽기를 수행하고 블록 단위로 소거를 수행한다.
- [0045] NAND 플래시 메모리 덮어 쓰기
- [0046] 일반적으로 NAND 플래시 메모리는 덮어 쓸 수 없는 것으로 알려져 있다. 그러나, NAND 플래시 메모리를 부분적으로 덮어 쓸 수 있는 상태가 적어도 하나 있으며, 덮어 쓰기 가능 상태에 해당하는 데이터 비트가 존재한다. 3-레벨 프로그래밍에서는 프로그래밍된 상태가 모두 최상위 상태 P7이 될 가능성이 거의 없다. 랜덤화 기법이 적용되었기 때문에 가장 높은 상태에 해당하는 데이터가 기록될 확률은 1/8 이하이다. 이는 최상위 상태 아래의 상태 중 하나 이상을 덮어 쓸 수 있음을 의미한다.
- [0047] 덮어 쓸 수 있는 상태
- [0048] 상태 매핑에서 언급 한 바와 같이, 각 메모리 셀은 8개 상태 중 어느 하나의 임계전압을 갖는다. NAND 플래시 메모리의 쓰기 동작은 페이지에 해당하는 워드 라인에 순차적으로 전압을 인가하고 해당 비트와 관련된 문턱 전압이 초과되었는지 확인함으로써 반복된다. 이때, 프로그램이 완료된 메모리 셀의 문턱 전압은 최종 상태(P7)가 아닐 가능성이 높기 때문에 최종 상태 (P7)보다 낮은 상태(E 내지 P6)를 덮어 쓸 수 있다. 관심을 갖는 것은 덮어 쓸 수 있는 상태이다.
- [0049] 덮어 쓸 수 있는 데이터
- [0050] 상술한 바와 같이 덮어 쓰기가 가능한 상태가 있음을 알 수 있다. 따라서 현재 메모리 셀에 기록된 데이터의 비트가 어느 비트인지 알면 쓰기 가능 상태가 결정되어 쓰기 가능 상태에 대한 덮어 쓰기 가능 데이터를 결정할 수 있다.
- [0051] 도 6은 덮어쓰기 가능한 데이터를 보여주는 일 예에 따른 블록도이다. 도 6을 참조하면, 예를 들어, 프로그래밍된 메모리 셀의 '010'에 해당하는 P4 상태인 경우 덮어 쓰기 가능 상태는 상위 상태, 즉 P5 내지 P7 상태이다. 따라서 메모리 셀에 덮어 쓸 수 있는 데이터는 '110', '100', '101'이다.
- [0052] MLC 프로그램 작업에서, 프로그래밍된 상태보다 높은 상태에 대해 덮어 쓰기가 가능하다는 것이 밝혀졌다. 그러나 이러한 덮어 쓰기는 기본적으로 프로그램 작동을 기반으로 하므로 프로그램 장애가 발생할 수 있다. 여기서, 프로그램 방해는 현재 프로그램 동작에 의해 인접 페이지의 유효한 데이터에 영향을 미친다. 본 발명의 일 실시예에 따른 삭제는 이러한 프로그램 방해의 영향을 최소화하면서 덮어 쓸 수 있도록 한다.
- [0053] 또한, 페이지를 덮어 쓰기 위해서는, 현재 페이지의 데이터를 읽고 읽은 데이터에서 덮어 쓰기 가능 상태를 확인하고 덮어 쓸 데이터를 생성하는 것이 불가피하다. 그러나 위에서 설명한 모든 프로세스에 대한 비용이 NAND 플래시 메모리의 개인 정보를 즉시 파괴하는 비용보다 크지 않으면 필연적으로 이 접근 방식을 사용해야 한다.

[0054] 본 발명의 일 실시예에 따른, 덮어 쓸 수 있는 상태를 사용하는 NAND 플래시 메모리의 개인 정보 데이터 폐기 방법을 설명하기로 한다. 본 발명의 실시예들에 따른 정보 폐기 방법은, 부분 덮어 쓰기 방식, SLC 프로그래밍 방식, 및 삭제 작업 펄스 적용 방식 중 적어도 하나를 포함한다.

[0055] 1. 부분 덮어쓰기(Partial Overwriting)

[0056] 삭제할 메모리 블록의 유효하지 않은 데이터에 개인 정보가 포함되어 있다고 가정한다. 개인 정보에 해당하는 바이너리 데이터가 있고 이를 수정하는 데이터가 있을 것이다. 프로그램 상태에 대한 정보는 변조된 데이터의 각 상태 매핑을 통해 얻을 수 있다. 개인 정보에 해당하는 프로그램 상태를 획득하면, 프로그램된 상태와 같거나 더 높은 상태에 해당하는 데이터가 생성될 수 있다. 그런 다음 이러한 데이터로 유효하지 않은 데이터가 프로그래밍된 페이지에서 쓰기 작업을 수행할 수 있다. 이러한 덮어 쓰기 작업에 의해 개인 정보가 폐기될 수 있다.

[0057] 일반적으로 NAND 플래시 메모리의 프로그램 동작은 ISPP(Incremental Step Pulse Programming)에 의해 수행된다. 워드 라인에는 특정 펄스가 인가되고, 각 스텝마다 워드 라인에는 소정의 값만큼 증가된 펄스가 인가된다. 이 작업은 상태가 원하는 임계 전압에 해당할 때까지 반복된다. 초기 프로그램 펄스 (PGM_start) 후에 상태를 확인하기 위해 펄스가 적용되는지 확인한다. 이러한 프로그램 세트가 진행되면 미리 정해진 수의 프로그램 펄스가 인가된 후 펄스가 인가되었는지 확인한다.

[0058] 도 7은 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 설명하기 위한 모식도이다. 도 7을 참조하면, 위에서 설명한 ISPP를 사용하여 부분 덮어 쓰기를 수행할 수 있다. 초기 덮어 쓰기 펄스(P0_start)는 정상적인 프로그램 작동의 초기 프로그램 펄스(PGM_pulse)보다 높을 것이다. 또한 부분 덮어 쓰기 동작에서 확인 펄스는 정상 프로그램 동작의 확인 펄스 수보다 작게 설정할 수 있다. 이는 대부분의 경우 덮어 쓰기 동작이 수행되는 프로그램 상태가 상대적으로 높은 임계 전압을 가질 것으로 예상되기 때문이다.

[0059] 다음에서는 예를 들어 부분 덮어 쓰기를 사용하여 개인 식별 번호를 삭제하는 방법에 대해 설명한다.

[0060] 표 1은 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 설명하기 위한 표이다.

표 1

[0061]

Personal Inform.	661004															
Binary Bits (48)	001101100011011000110001001100000011000000110100															
Random Bits (48)	110110001101100011000100110000001100000011010000															
State Mapping (16)	P5	P5	P2	P7	P6	P1	P3	P6	P5	P3	P2	P6	P3	P1	P4	P3
Partial Overwritable States (16)						P2								P2		
			P3			P3					P3			P3		
			P4			P4	P4			P4	P4		P4	P4		P4
			P5			P5	P5			P5	P5		P5	P5	P5	P5
			P6			P6	P6		P6	P6	P6		P6	P6	P6	P6
	P6	P6	P6			P6	P6		P6	P6	P6		P6	P6	P6	P6
	P7	P7	P7		P7	P7	P7	P7	P7	P7	P7	P7	P7	P7	P7	P7
Selected State (16)	P6	P7	P3	P7	P7	P4	P5	P7	P6	P4	P5	P7	P5	P2	P5	P4
PO Bits (48)	100101000101101010110101100010110101110001110010															
Derandom Bits (48)	001100010011000000110000001100010011000000110001															
Purge	100101															

[0062] 설명의 편의를 위해 개인 식별 번호는 '661004'로 가정한다. 개인 식별 번호는 표 1에서와 같이 2 진수로 변경할 수 있다. 부분 덮어 쓰기 상태가 선택된 표 1의 상태 체인이 선택된다. '661004'에 해당하는 바이너리 비트는 '001101100011011000110001001100000011000000110100'이다. 랜덤 알고리즘을 통해 바이너리 비트를 랜덤화하면 랜덤화된 비트는 '110110001101100011000100110000001100000011010000'이 된다.

[0063] 랜덤화된 비트에 해당하는 상태가 선택된다. 선택한 상태는 P5-P5-P2-P7-P6-P1-P3-P6-P5-P3-P2-P6-P3-P1-P4-P3이다. 선택된 각 상태는 페이지의 해당 메모리 셀에 프로그래밍된다. 상술한 바와 같이, 개인 정보에 대응하는 상태에 대한 프로그램 동작은 메모리 셀에서 수행된다. 그 후, 프로그램된 메모리 셀들의 개인 정보 파기 요청에 따라 부분 덮어 쓰기가 다음과 같이 진행될 수 있다.

[0064] 개인 식별 번호 661004에 대한 부분 덮어 쓰기 가능 상태는 표 1에 표시된 대로 다양한 덮어 쓰기 가능 상태로

구성할 수 있다. 최상위 프로그램 상태 P7에서는 아무 작업도 수행되지 않는다. 따라서 부분 덮어 쓰기를 위해 선택된 프로그램 상태 체인은 P6-P7-P3-P7-P7-P4-P5-P7-P6-P4-P5-P7-P5-P2-P5-P4이다. 따라서 선택된 상태 체인은 메모리 셀에 프로그래밍된다. 부분 덮어 쓰기에 사용할 상태는 무작위로 선택할 수 있다.

[0065] 그러나 반드시 이에 한정되는 것은 아니며, 가장 높은 상태 P7로 선택되거나 바로 아래에 있는 상태 P6이 선택될 수 있다. 부분 덮어 쓰기 상태로 최고 상태 P7이 선택되면 과도한 프로그램 동작으로 인해 메모리 셀이 물리적으로 파괴될 가능성이 있음에 유의해야 한다.

[0066] 부분 덮어 쓰기는 개인 정보 데이터가 성공적으로 삭제되었는지 확인할 수 있다. 부분적으로 덮어 쓴 메모리 셀에서 상태 읽기 작업을 수행할 때 P0 비트는 '1001010001011010101100010110101110001110010'입니다. derandomized 비트는 '001100010011000000110000001100010011000000110001'이다. 따라서 derandomized 비트에 해당하는 ASCII 값은 '100101'이다. 따라서, 개인 정보 (661004)는 메모리 셀에서 완전히 파괴된다.

[0067] 한편, 상기 덮어 쓰기 가능한 상태 중 어느 하나를 선택하는 부담을 줄이기 위해 부분 덮어 쓰기는 특정 프로그램 상태보다 낮은 프로그램 상태로만 진행할 수 있다. 예를 들어, 부분 덮어 쓰기는 제5 프로그램 상태 P5보다 낮은 상태 E, P1, P2, P3 및 P4에 대해 배치 프로그램 동작을 제5 프로그램 P5로 진행시킬 수 있다. 즉, 제5 프로그램 상태(P5)보다 낮은 상태를 갖는 메모리 셀들만이 제5 프로그램 상태(P5)로 프로그램되고, 제5 프로그램 상태(P5)보다 높은 상태를 갖는 메모리 셀들은 현재 상태를 유지한다.

[0068] 특정 프로그램 상태를 넘어 부분 덮어 쓰기 상태가 선택되는 표 2의 상태 체인이 선택된다.

표 2

Personal Inform.	661004															
Binary Bits (48)	001101100011011000110001001100000011000000110100															
Random Bits (48)	110110001101100011000100110000001100000011010000															
State Mapping (16)	P5	P5	P2	P7	P6	P1	P3	P6	P5	P3	P2	P6	P3	P1	P4	P3
Partial Overwritable States (16)			P3			P2					P3			P2		
			P4			P3					P3			P3		
			P5			P4	P4			P4	P4		P4	P4	P4	
			P6			P5	P5			P5	P5		P5	P5	P5	P5
	P6	P6	P6			P6	P6		P6	P6	P6		P6	P6	P6	P6
	P7	P7	P7		P7	P7	P7	P7	P7	P7	P7	P7	P7	P7	P7	P7
Selected State (16)	P5	P7	P5	P7	P6	P5	P5	P6	P5	P5	P5	P6	P5	P5	P5	P5
P0 Bits (48)	10010100010110101011010110001011010110001110010															
Derandom Bits (48)	110001001100000011000100110001001100000011000100															
Purge	ÄÄÄÄÄÄ															

[0070] 이 방법에 따르면 부분 덮어 쓰기를 위해 선택된 프로그램 상태 체인은 P5-P7-P5-P5-P5-P5-P6-P5-P5-P5-P6-P5-P6-P5-P5-P5-P5이다. 이러한 상태 체인에 해당하는 P0 비트는 '10010100010110101011010110001011010110001110010'이되며 메모리 셀에 프로그래밍된다. 이 바이너리 코드에 해당하는 ASCII 값은 'ÄÄÄÄÄÄ'이다. 따라서 개인 정보 데이터는 완전히 파괴된다.

[0071] 상술한 방법은 프로그램될 비트 수를 균등화하기 위해 무작위화 기법을 적용하기 때문에 실질적으로 가능하다. 원본 데이터를 변조할 때 특정 상태(예: 중간 프로그램 상태)의 숫자는 무작위화되기 때문에 나머지 숫자와 유사하다. 따라서 공격자가 이 부분을 덮어 쓰는 역 분석 공격은 소스로 차단된다.

[0073] 2. SLC 프로그램(SLC Programming)

[0074] 일반적으로 NAND 플래시 메모리는 다중 레벨 셀 프로그램 작업을 수행한다. 쓰레기 수집과 같은 작업에 의해 대상 페이지가 무효화되면 해당 메모리 블록을 무효 블록으로 처리하기 전에 개인 정보를 파괴하기 위한 즉석 무효 페이지 프로그램 작업이 수행된다. 여기서, 즉석 무효화 페이지 프로그램 동작은 다중 레벨 셀 프로그램 동작이 아닌 특정 참조 레벨을 기반으로 한 단일 레벨 셀 프로그램 동작을 구성한다.

[0075] 도 8은 on-the fly 무효 페이지 프로그램을 보여주는 모식도이고, 도 9는 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 설명하기 위한 모식도이다.

- [0076] on-the-fly 무효 페이지 프로그램은 도 8을 참조하여 특정 임계 전압에 기초하여 단일 레벨 셀 프로그램 동작을 수행할 것이다.
- [0077] 메모리 컨트롤러는 유효하지 않은 블록 처리 이전에 유효하지 않은 페이지에 유효하지 않은 페이지 프로그램을 즉시 강제할 수 있다. 이 즉시 유효하지 않은 페이지 프로그램 작업은 프로그래밍된 다중 수준 셀의 임의 데이터에 대해 단일 수준 셀 프로그램 작업을 수행하여 수행할 수 있다. 개념은 위에서 언급한 부분 덮어 쓰기 기술과 약간 다르다. 부분 덮어 쓰기 기술에서는 세 페이지의 데이터가 생성되고 개인 정보 폐기를 위해 프로그래밍되지만 즉시 유효하지 않은 페이지 프로그래밍 기술은 한 페이지의 데이터만 생성하고 프로그래밍하는데 충분하다. 또한 프로그램의 성공 여부를 확인할 필요가 없다.
- [0078] 도 9에 도시된 바와 같이, SLC 프로그램(MLC PGM → SLC PGM)을 사용한 즉석 무효 페이지 프로그램 조작이 표시된다. 예를 들어, 도 8에 도시된 바와 같이, 3 단계 셀 프로그램에 의해 저장된 개인 정보는 1 단계 셀 프로그램에 의해 파괴된다. 따라서 SLC 프로그래밍 기법이라고 할 수 있다.
- [0080] 3. DDP
- [0081] 일반적으로 메모리 셀의 바디 영역에 전원 전압이 인가되더라도 메모리 셀에 연결된 워드 라인에 일정 값 이상의 워드 라인 전압을 인가하면 FN 터널링에 의한 전하 전달이 발생할 수 있다. 이는 유효하지 않은 데이터 폐기 작업이 놀랍도록 쉽게 수행될 수 있음을 의미한다. 즉, 본체 측에 전원 전압을 인가하지 않고 개인 정보가 있는 무효 페이지에 해당하는 워드 라인에 워드 라인 펄스를 인가하면 개인 정보 전체가 쉽게 폐기될 수 있다. 이는 임계 전압이 완전히 알려지지 않은 상태로 변경될 수 있기 때문이다.
- [0082] 도 10은 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 설명하기 위한 모식도이다.
- [0083] 도 10을 참조하면, 이러한 워드 라인 펄스를 DDP(Deletion Duty Pulses)라고 부른다. 호스트의 요청이나 NAND 플래시 메모리의 자체 요청에 의해 DDP가 유효하지 않은 페이지에 적용될 수 있다. 이러한 DDP를 적용한 후 데이터 상태를 확인할 필요가 없기 때문에 검증 펄스가 필요하지 않다. DDP의 레벨은 통과 전압(Vpass)보다 높을 수 있다. 일반적으로 워드 라인에 통과 전압(Vpass)보다 낮은 전압이 인가되면 채널에서 전하가 전달되지 않는다. 또한 DDP의 수는 실험적으로 결정되어야 한다. 예를 들어, DDP의 수는 종래의 프로그램 펄스의 수 또는 레벨보다 작게 결정될 수 있다. 프로그램 방해 최소화하기 위해 DDP의 수를 결정할 수 있다.
- [0084] 일반적으로 NAND 플래시 메모리는 데이터 열화로 인한 데이터 수정을 위해 ECC (Error Correction Code) 기술을 사용한다. 삭제 작업 펄스의 수는 이 ECC 기술의 오류 수정 수준을 초과하도록 결정되어야 한다. 이러한 실험적인 DDP의 수는 NAND 칩 제조업체의 셀 특성에 따라 달라진다.
- [0086] 개인 정보 파괴 요청
- [0087] 호스트로부터 개인 정보 폐기 요청을 수신하면, 메모리 컨트롤러는 NAND 플래시 메모리에서 주소 지정되지 않은 영역(예: BLK1, BLK2)에 대해 유효하지 않은 페이지가 있는 블록을 우선적으로 식별한다. 이후 무효 페이지가 있는 블록에 대해 부분 덮어 쓰기(PO) 동작 또는 작업 펄스 삭제(DDP) 동작이 수행된다.
- [0088] 도 11은 본 발명의 일 실시예에 따른 개인 정보 폐기 방법을 수행하는 저장 장치를 설명하기 위한 모식도이다. 도 11을 참조하면, 저장 장치는 적어도 하나의 비휘발성 메모리 장치(NVM(s))와 그것을 제어하는 메모리 제어기(CNTL)를 포함할 수 있다.
- [0089] 또한, 비휘발성 메모리 장치(NVM)는 복수의 메모리 블록들(BLK1 ~ BLKz, z는 2 이상의 정수) 및 제어 로직을 포함하도록 구현될 수 있다. 복수의 메모리 블록들(BLK1 ~ BLKz)의 각각은, 복수의 페이지들(Page 1 ~ Page m, m은 2 이상의 정수)을 포함할 수 있다. 복수의 페이지들(Page 1 ~ Page m)의 각각은, 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들의 각각은 적어도 하나의 비트를 저장할 수 있다.
- [0090] 제어기(CNTL)는 제어 신호들(예를 들어, CLE, ALE, CE(s), WE, RE, 등)을 전송하는 복수의 제어 핀들을 통하여 적어도 하나의 비휘발성 메모리 장치(NVM)에 연결될 수 있다. 또한, 제어 신호들(CLE, ALE, CE(s), WE, RE 등)을 이용하여 비휘발성 메모리 장치(NVM)를 제어하도록 구현될 수 있다. 예를 들어, 비휘발성 메모리 장치(NVM)는 CLE(command latch enable) 신호 및 ALE(address latch enable) 신호에 따라 WE(write enable) 신호의 엣지에서 커맨드(CMD) 혹은 어드레스(ADD)를 래치 함으로써, 프로그램 동작/리드 동작/이레이즈 동작을 수행할 수 있다.
- [0091] 제어기(CNTL)는 적어도 하나의 프로세서를 포함할 수 있다. 프로세서는 저장 장치의 전반적인 동작을 제어하도

록 구현될 수 있다. 프로세서는 캐시/버퍼 관리, 펌웨어 관리, 가비지 컬렉션 관리, 웨어 레벨링 관리, 데이터 중복 제거 관리, 리드 리프레쉬/리클레임 관리, 배드 블록 관리, 멀티-스트림 관리, 호스트 데이터와 비휘발성 메모리의 맵핑 관리, QoS(quality of service) 관리, 시스템 리소스 할당 관리, 비휘발성 메모리 큐(queue) 관리, 리드 레벨 관리, 소거/프로그램 관리, 핫/콜드 데이터 관리, 전력 손실 보호 관리, 동적 열관리, 초기화 관리, RAID(redundant array of inexpensive disk) 관리 등과 같은 다양한 관리 동작들을 수행할 수 있다.

[0092] 또한, 비휘발성 메모리 장치(NVM)는 메모리 셀 어레이, 로우 디코더, 페이지 버퍼 회로, 입출력 버퍼 회로, 전압 발생기, 및 제어 로직을 포함할 수 있다.

[0093] 메모리 셀 어레이는 워드라인들 혹은 선택 라인들을 통해 로우 디코더에 연결될 수 있다. 메모리 셀 어레이는 비트라인들을 통해서 페이지 버퍼 회로에 연결될 수 있다. 메모리 셀 어레이는 복수의 셀 스트링들(cell strings)을 포함할 수 있다. 셀 스트링들의 각각의 채널은 수직 혹은 수평 방향으로 형성될 수 있다. 셀 스트링들의 각각은 복수의 메모리 셀들을 포함할 수 있다. 여기서, 복수의 메모리 셀들은 비트라인이나, 워드라인으로 제공되는 전압에 의해서 프로그램 되거나, 소거 되거나, 읽혀질 수 있다.

[0094] 로우 디코더는 수신된 어드레스에 응답하여 메모리 셀 어레이의 메모리 블록들(BLK1 ~ BLKz) 중 어느 하나를 선택하도록 구현될 수 있다. 로우 디코더는 어드레스에 응답하여 선택된 메모리 블록의 워드라인들 중 어느 하나를 선택할 수 있다. 로우 디코더는 선택된 메모리 블록의 워드라인에 동작 모드에 대응하는 워드라인 전압을 전달할 수 있다. 프로그램 동작시 로우 디코더는 선택 워드라인에 프로그램 전압과 검증 전압을 인가하고, 비선택 워드라인에 패스 전압을 인가할 수 있다. 리드 동작시 로우 디코더는 선택 워드라인에 리드 전압을 인가하고, 비선택 워드라인에 리드 패스 전압을 인가할 수 있다.

[0095] 페이지 버퍼 회로는 쓰기 드라이버로 혹은 감지 증폭기로 동작하도록 구현될 수 있다. 프로그램 동작시, 페이지 버퍼 회로는 메모리 셀 어레이의 비트라인들로 프로그램 될 데이터에 대응하는 비트라인 전압을 인가할 수 있다. 리드 동작 혹은 검증 리드 동작시, 페이지 버퍼 회로는 선택된 메모리 셀에 저장된 데이터를 비트라인을 통해서 감지할 수 있다. 페이지 버퍼 회로에 포함되는 복수의 페이지 버퍼들의 각각은 적어도 하나의 비트라인에 연결될 수 있다. 복수의 페이지 버퍼들의 각각은, 리드 동작을 수행하기 위한 센싱 및 래치를 수행하도록 구현될 수 있다.

[0096] 입출력 버퍼 회로는 외부에서 제공되는 데이터를 페이지 버퍼 회로로 제공할 수 있다. 입출력 버퍼 회로는 외부에서 제공되는 커맨드/어드레스를 제어 로직에 제공할 수 있다. 더불어, 입출력 버퍼 회로는 페이지 버퍼 회로에 의해서 센싱 및 래치된 데이터를 외부로 출력할 수 있다.

[0097] 제어 로직은 외부로부터 전달되는 커맨드에 응답하여 로우 디코더 및 페이지 버퍼 회로를 제어하도록 구현될 수 있다.

[0098] 전압 발생기는 제어 로직의 제어에 따라 각각의 워드라인들로 인가될 다양한 종류의 워드라인 전압들, 메모리 셀들이 형성된 벌크(예를 들어, 웰 영역)로 공급될 웰 전압을 생성하도록 구현될 수 있다. 각각의 워드라인들로 인가되는 워드라인 전압들은, 프로그램 전압, 패스 전압, 리드 전압, 리드 패스 전압들 등을 포함할 수 있다.

[0099] 메모리 블록들 중 어느 하나의 메모리 블록(BLK1)은 3차원 구조로 구현될 수 있다. 메모리 블록은 하나의 비트라인에 연결된 복수의 셀 스트링들을 포함할 수 있다. 복수의 셀 스트링들은 로우 방향(row direction) 및 컬럼 방향(column direction)을 따라 배치되어 로우들 및 컬럼들을 형성할 수 있다.

[0100] 실시예에 있어서, 셀 스트링들은 스트링 선택 라인들과 연결되어, 제 1 로우를 형성할 수 있다. 셀 스트링들은 스트링 선택 라인들과 연결되어 제 2 행을 형성할 수 있다. 복수의 셀 스트링들의 각각은 복수의 셀 트랜지스터들을 포함할 수 있다. 예를 들어, 복수의 셀 스트링들의 각각은 스트링 선택 트랜지스터들, 복수의 메모리 셀들, 접지 선택 트랜지스터들, 및 더미 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들은 직렬 연결되며, 로우 방향 및 컬럼 방향에 의해 형성된 평면에 수직 방향인 높이 방향(height direction)으로 적층 될 수 있다. 스트링 선택 트랜지스터들은 직렬 연결되고, 직렬 연결된 스트링 선택 트랜지스터들은 복수의 메모리 셀들 및 비트라인 사이에 제공될 수 있다. 접지 선택 트랜지스터들은 직렬 연결되고, 직렬 연결된 접지 선택 트랜지스터들은 복수의 메모리 셀들 및 공통 소스 라인 사이에 제공될 수 있다. 실시예에 있어서, 복수의 메모리 셀들 및 접지 선택 트랜지스터들 사이에 제 1 더미 메모리 셀이 제공될 수 있다. 셀 스트링들의 접지 선택 트랜지스터들은 접지 선택 라인에 공통으로 연결될 수 있다.

[0101] 도 11에 도시된 바와 같이, 메모리 컨트롤러는 쓰레기 수집 유닛, 블록 관리 유닛 및 삭제 작업 실행 유닛(DDIB)을 포함할 수 있다. 블록 관리 유닛은 블록 관리 유닛과 비교하여 개인 정보가 저장된 무효 블록을 특별

히 관리할 수 있다. 예를 들어, 블록 관리부는 무효 블록에 대한 무효화 페이지의 물리 주소를 저장할 수 있다. 삭제 의무 실행부는 무효화 페이지의 물리적 주소에 개인 정보 파괴 기술(예: PO / DDP)을 적용할 수 있다.

[0103] 개인 정보 파괴 확인

[0104] 호스트의 개인 정보 삭제 요청에 대한 응답으로 NAND 플래시 메모리는 개인 정보 삭제 작업을 수행할 수 있다. 이후, NAND 플래시 메모리는 개인 정보 파괴 요청에 대해 검증 동작을 수행할 수 있다. 개인 정보 파괴 요청의 검증 동작은 파괴 요청된 개인 정보의 복원할 정보 또는 복원할 정보가 NAND 플래시 메모리의 유효 페이지 또는 무효 페이지에 존재하는지 여부를 결정한다. 예를 들어, 개인 정보와 개인 정보가 변조된 데이터가 NAND 플래시 메모리의 무효화 영역 또는 유효성 검증 영역에 존재하는지 여부를 판단할 수 있다. NAND 플래시 메모리에 개인 정보 또는 개인 정보에 해당하는 데이터가 없으면 개인 정보 파괴 요청이 성공한 것으로 판단된다. NAND 플래시 메모리가 호스트에 대한 응답으로 이 사실을 전송 한 후, 기본적으로 개인 정보 폐기를 확인하기 위해서는 매핑 되지 않은 메모리 블록과 매핑된 메모리 블록에 대한 개인 정보 검색을 수행해야 한다.

[0106] 성능비교

[0107] 기존의 Block Erase 방식, 부분 덮어 쓰기, SLC 프로그래밍, DDP 방식의 성능을 비교했다. 여기서 성능에는 NAND 플래시 메모리에서 개인 정보가 폐기될 때까지 메모리 셀의 성능 저하 정도와 경과 시간이 포함된다. 편의를 위해 쓰레기 수집 상황을 비교했다.

[0108] 표 3에서, 블록 삭제 방식(제1 비교예), MLC 방식(Lin's, 제2 비교예), 부분 덮어 쓰기 방식(제1 실시예), SLC 프로그래밍 방식(제2 실시예), 및 DDP 방식(제3 실시예)의 쓰레기 수집 현황 및 개인 정보 파괴 시기를 살펴본다.

표 3

[0109]

Schemes	Degree of Cell Gradation			Privacy data Destruction Time
	PGM count	Erase count	Total	
Block Erase Scheme	0	1	a	x (until GG, $>M \cdot T_{PGM}$)
Lin's Scheme	x	x	x	x
Partial Overwriting Scheme	$< N$	0	$< b \cdot N$	$M \cdot T_{PGM} + N \cdot T_{RDG} + T_{POW}$
SLC Programming Scheme	$< N$	0	$< b \cdot N$	$M \cdot T_{PGM} + N \cdot T_{SDG} + T_{SLCP}$
DDP Scheme	$< N$	0	$< b \cdot N$	$M \cdot T_{PGM} + N \cdot T_{DDP}$

[0110] 두 개의 메모리 블록 사이에 M개의 유효한 페이지와 N개의 유효하지 않은 페이지가 있다고 가정한다. 여기서 M개의 유효한 페이지가 새 메모리 블록에 프로그래밍된다. 두 개의 메모리 블록에 완전히 N개의 유효하지 않은 페이지가 있다고 가정한다. 따라서, 모든 방식에서 M개의 프로그램 동작은 유효한 페이지를 읽기 위한 읽기 동작으로 수행되며, 성능 지수에는 삭제 동작이나 프로그램 동작보다 열화 정도가 떨어지기 때문에 언급되지 않는다. 여기서 a는 지우기 동작으로 인한 셀 저하 정도이고 b는 프로그램 동작으로 인한 셀 저하 정도이다. 일반적으로 a는 b보다 1000 배 더 높다. 즉, 프로그램 동작보다 소거 동작으로 인한 열화 정도가 더 심하다.

[0111] 블록 소거 방식의 경우 무효화될 두 개의 메모리 블록에 대해 프로그램 동작이 수행되지 않는다. 대신 새 메모리 블록에 대해 M개의 유효한 페이지에서 프로그램 작업이 수행된다. 따라서 무효화될 블록에서 개인 정보를 삭제하기 위해 삭제 동작을 한 번 수행한다. 일반적으로 쓰레기 수집의 블록 지우기 작업은 NAND 플래시 메모리의 내부 정책에 따라 수행된다. 이 내부 정책은 메모리 블록의 수명을 최대화하기 위해 관리된다. 따라서 표 3에서 볼 수 있듯이 다양한 운영 변수에 의해 개인 정보 파괴 시간을 예측하는 것은 사실상 불가능하다.

[0112] 반면 본 발명에 따른 삭제 기법을 적용하여 개인 정보의 파괴시기를 예측할 수 있다. 예를 들어 부분 덮어 쓰기 방식의 시간은 $M \cdot T_{PGM} + N \cdot T_{RDG} + T_{POW}$, SLC 프로그래밍 방식의 시간은 $M \cdot T_{PGM} + N \cdot T_{SDG} + T_{SLCP}$, DDP 방식의 시간은 $M \cdot T_{PGM} + N \cdot T_{DDP}$ 이다. 여기서 T_{PGM} 은 프로그램 작동 시간, T_{RDG} 는 임의 데이터 생성 시간,

TSDG는 SLC 데이터 생성 시간, T는 덮어 쓰기 시간, TPOW는 SLC 프로그래밍 시간, TDDP는 DDP 적용 시간이다.

표 4

Schemes	Degree of Cell Gradation			Privacy data Destruction Time
	PGM count	Erase count	Total	
Block Erase Scheme	0	1	a	x (until GG)
Lin's Scheme	1	0	b	$M \cdot T_{PGM} + T_{ONESHOT}$
Partial Overwriting Scheme	1	0	b	$M \cdot T_{PGM} + T_{RDG} + T_{POW}$
SLC Programming Scheme	1	0	b	$M \cdot T_{PGM} + T_{SDG} + T_{SLCP}$
DDP Scheme	1	0	b	$M \cdot T_{PGM} + T_{DDP}$

요약하면, 본 발명에 따른 실시예에서는 개인 정보 데이터의 파괴 시간을 예측할 수 있다. 또한, 하나의 메모리 블록에 대한 셀 열화 정도를 비교하면, 블록 소거 방식은 하나의 소거 동작에 대응하는 열화 정도를 갖는다.

MLC의 접근 방식은 쓰레기 수집 상황이 아닌 업데이트 상황만 고려한다. 이는 MLC의 접근 방식에 따르면 개인 정보가 쓰레기 수집 상황에서 여전히 무효화 블록에 있음을 의미한다.

또한 하나의 메모리 블록에 있는 한 페이지의 개인 정보를 업데이트하는 경우를 가정하여 삭제의 성능을 비교했다. 반면 MLC의 방식과 본 발명의 실시예들에 따른 방식은 개인 정보 데이터가 파괴될 때까지 삭제 작업을 수행할 필요가 없다. 따라서 개인 정보가 폐기될 때까지 N개 미만의 프로그래밍 작업을 수행한 정도이다.

단일 페이지 업데이트조차도 기존의 블록 지우기는 개인 정보 데이터의 폐기 시간을 예측할 수 없다. 반면에 MLC의 모든 계획과 우리의 계획은 폐기 시간을 예측할 수 있다. 그리고 본 발명의 실시예들에 따른 방식의 경우 개인 정보 폐기까지의 열화 특성도 기존의 삭제 방식보다 우수하다. 예를 들어 표 4에서 볼 수 있듯이 Lin의 방식 시간은 $M \cdot T_{PGM} + T_{ONESHOT}$, 부분 덮어 쓰기 방식의 시간은 $M \cdot T_{PGM} + T_{RDG} + T_{POW}$, SLC 프로그래밍 방식의 시간은 $M \cdot T_{PGM} + T_{SDG} + T_{SLCP}$, DDP 방식의 시간은 $M \cdot T_{PGM} + T_{DDP}$ 이다. 여기서 TONESHOT은 원샷 프로그래밍 시간이다.

본 발명의 실시예들에 따른 방식은 기존의 블록 삭제 방식에 비해 개인 정보의 파괴 시간을 크게 줄일 수 있음을 확인했다. 또한 본 발명의 실시예들에 따른 방식은 메모리 셀의 열화 특성 측면에서 많은 장점이 있음을 알 수 있다. 따라서 본 발명의 실시예들에 따른 개인 정보 파괴 방법은 기존 NAND 플래시 메모리에 쉽게 적용할 수 있으며 관리 및 경제 측면에서 유용할 수 있다.

본 발명의 일 실시예에 따른 NAND 플래시 메모리에 남아있는 개인 정보를 폐기하는 방법은, 프로그래밍 가능한 상태를 부분적으로 식별하고 부분 덮어 쓰기 방식을 사용하여 개인화된 정보를 식별하는 방법을 포함한다. 삭제 작업 펄스를 여러 번 적용하여 개인 정보를 폐기하는 방법도 제안된다. 또한 SLC 프로그래밍을 사용하여 개인 정보를 파괴하는 방법도 있다. 이 NAND 플래시 메모리의 개인 데이터 폐기 방식은 기존 삭제 작업에 비해 메모리 성능 저하를 크게 줄이고 시간과 비용 측면에서 상당한 효과가 있다.

이상에서 설명된 장치는 하드웨어 구성 요소, 소프트웨어 구성 요소, 및/또는 하드웨어 구성 요소 및 소프트웨어 구성 요소의 집합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성 요소는, 예를 들어, 프로세서, 컨트롤러, ALU(Arithmetic Logic Unit), 디지털 신호 프로세서(Digital Signal Processor), 마이크로 컴퓨터, FPA(Field Programmable array), PLU(Programmable Logic Unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(Operation System, OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술 분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처

리 요소(Processing Element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(Parallel Processor)와 같은, 다른 처리 구성(Processing Configuration)도 가능하다.

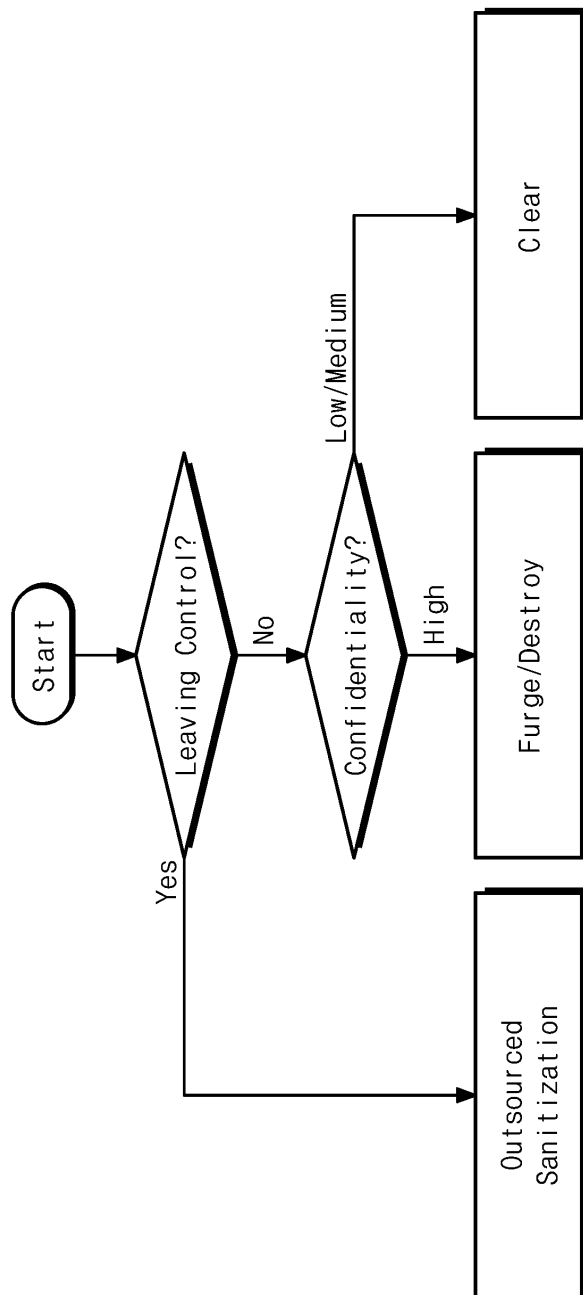
[0122] 소프트웨어는 컴퓨터 프로그램(Computer Program), 코드(Code), 명령(Instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(Collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성 요소(Component), 물리적 장치, 가상 장치(Virtual Equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(Signal Wave)에 영구적으로, 또는 일시적으로 구체화(Embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0123] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(Magnetic Media), CD-ROM, DVD와 같은 광기록 매체(Optical Media), 플롭티컬 디스크(Floptical Disk)와 같은 자기-광 매체(Magneto-optical Media), 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

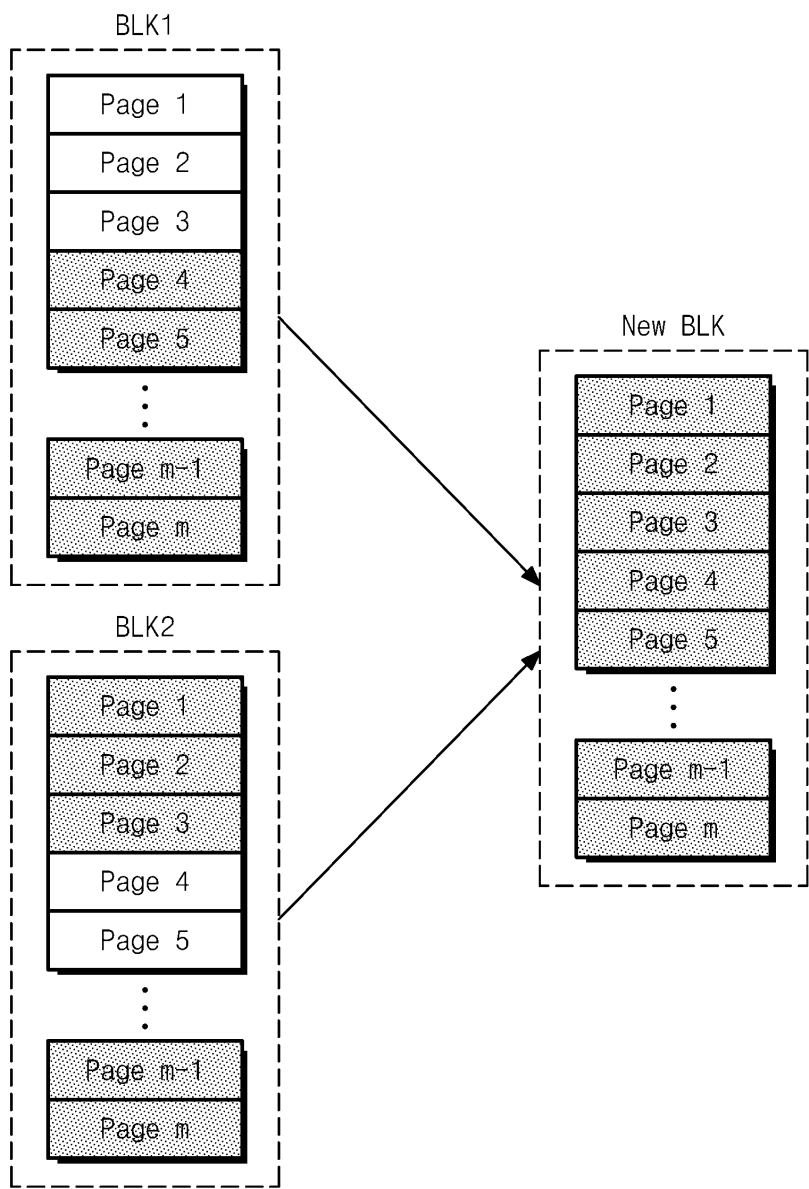
[0124] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성 요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

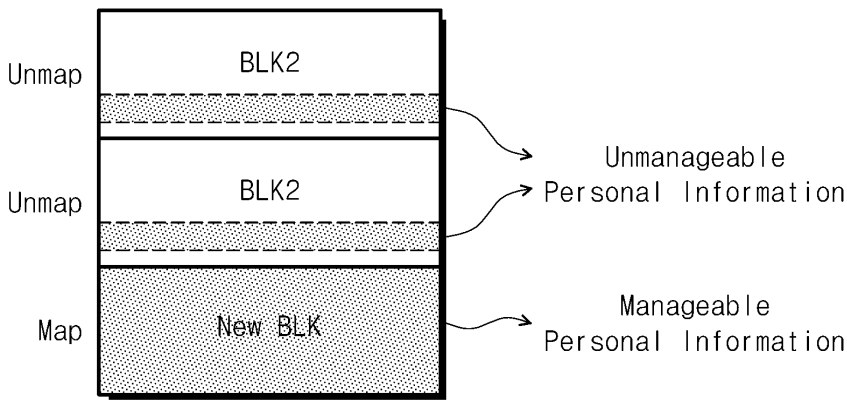
도면1



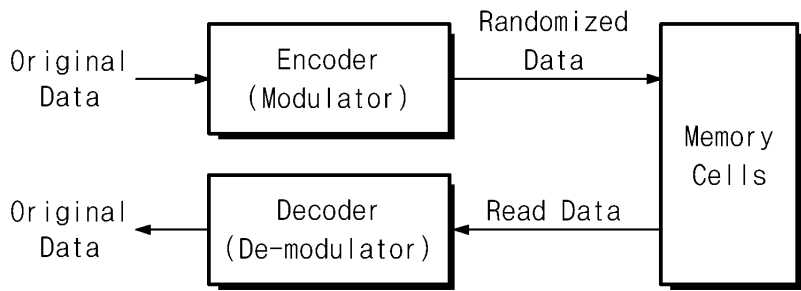
도면2



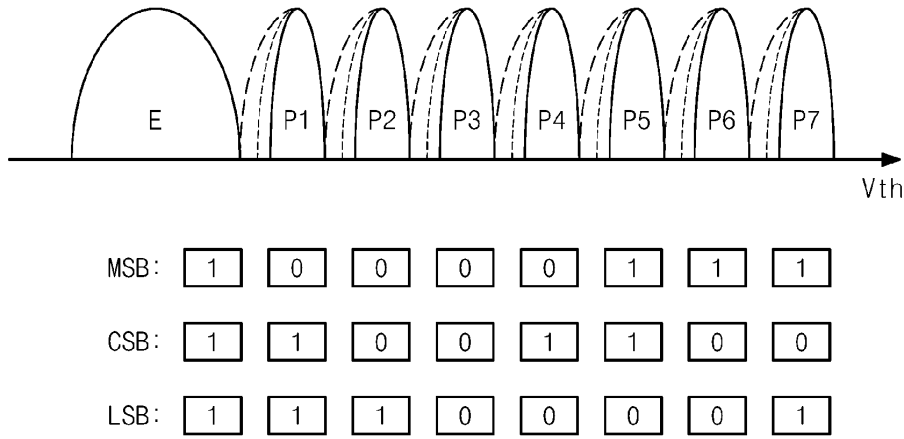
도면3



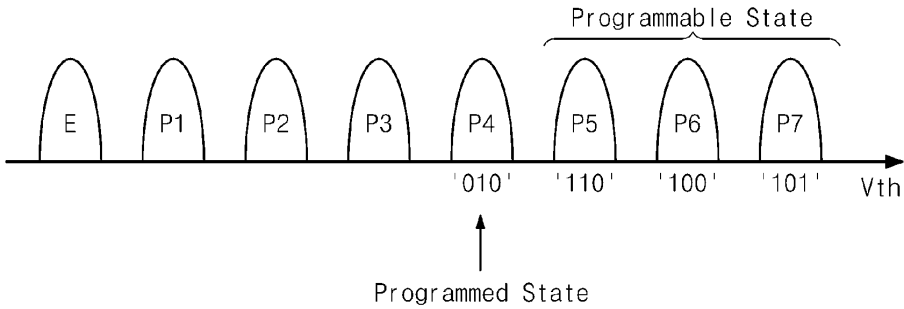
도면4



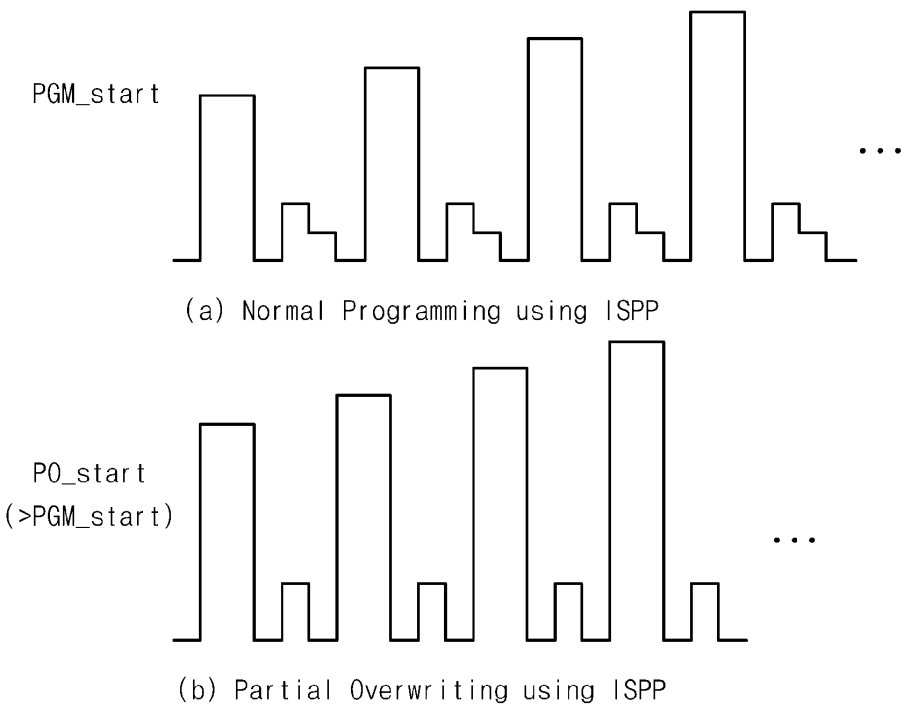
도면5



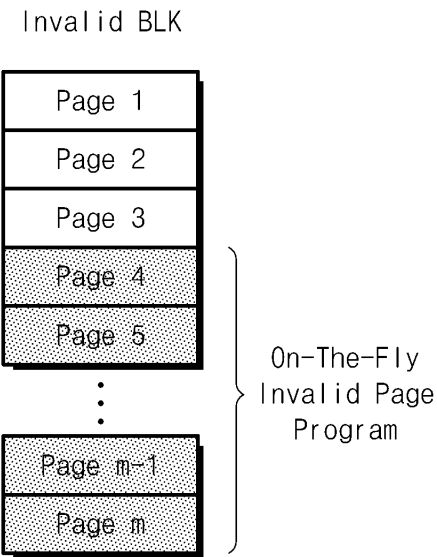
도면6



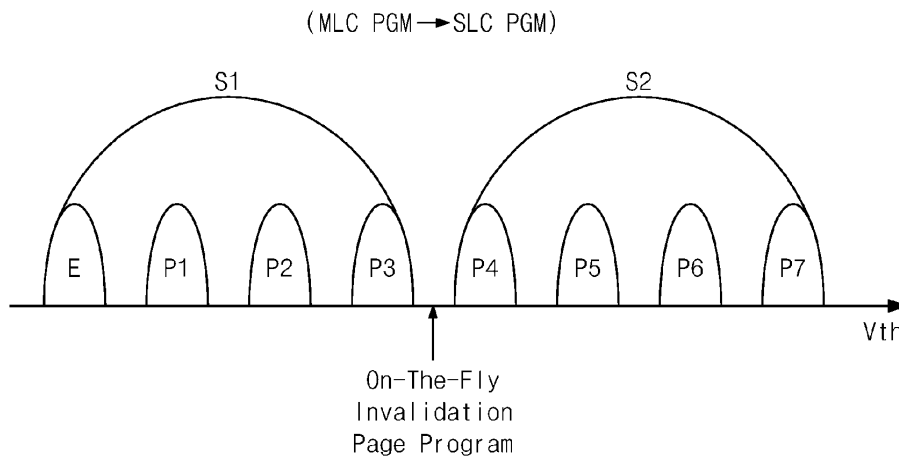
도면7



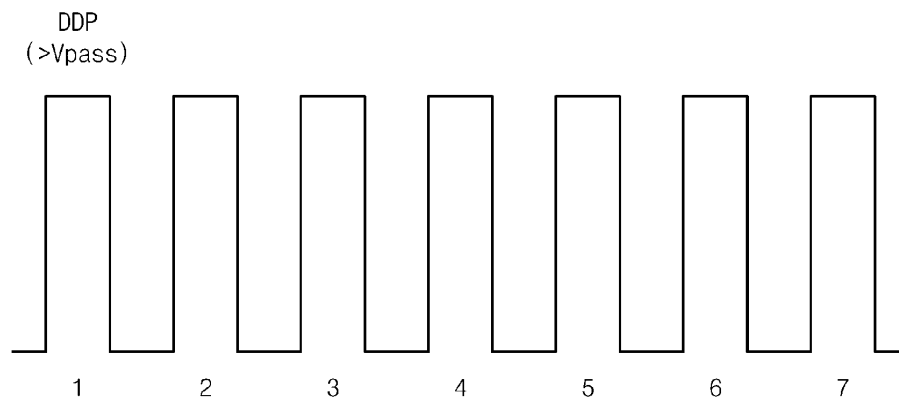
도면8



도면9



도면10



도면11

